

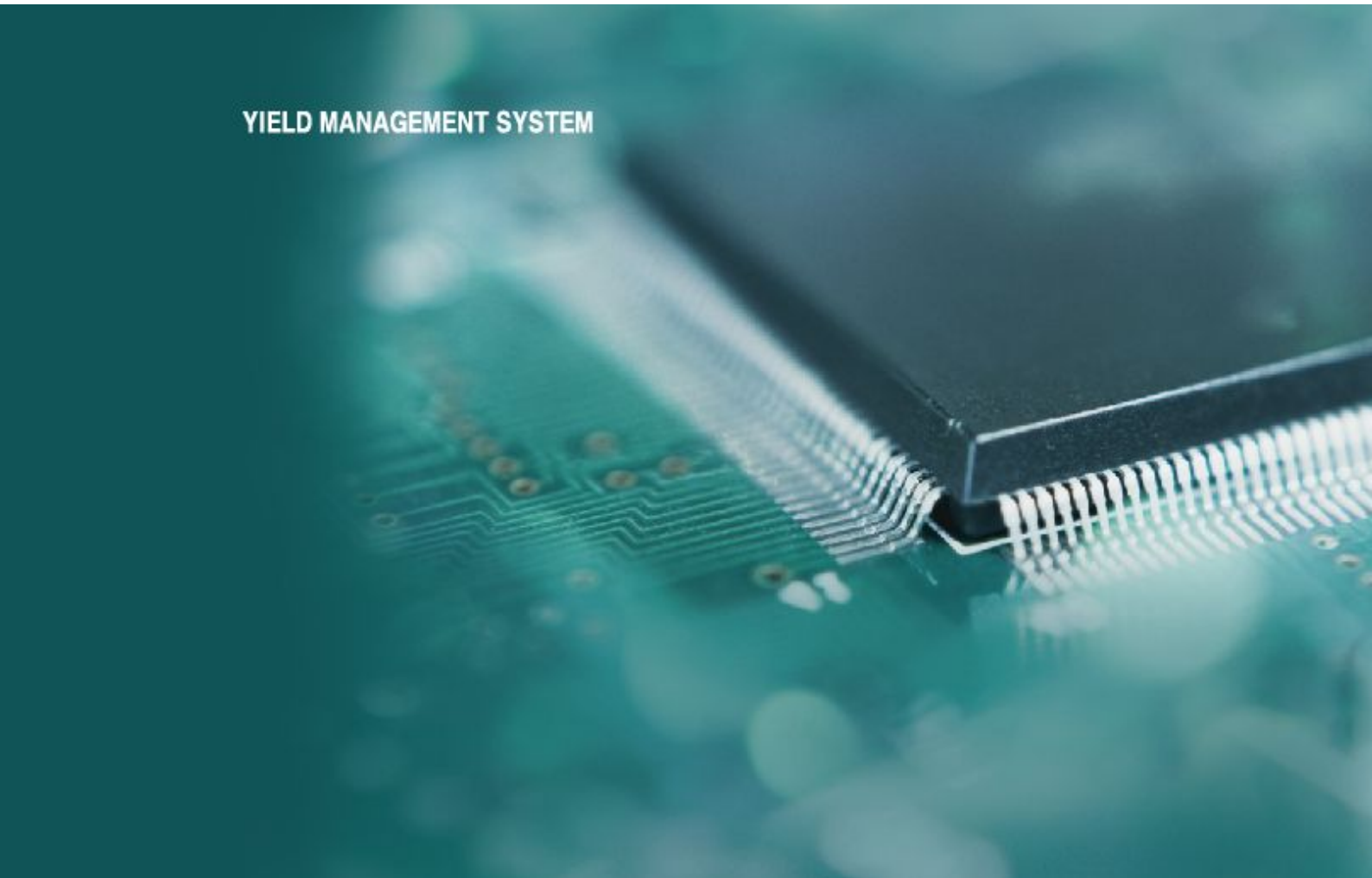


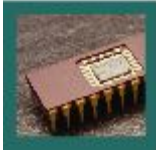
*Optimal YMS (Yield Management System)  
solution for semiconductor yield management!*

*TESTplus provides the total solution  
for semiconductor test floor including automatic data  
collection to the yield analysis applications.*

# TEST Plus

YIELD MANAGEMENT SYSTEM





## Yield Management System

### 반도체 산업에서 경쟁력을 높이기 위해서는 ...

- ▶ 제품개발부터 다품종 소/대량생산에 이르는 반도체 산업의 복잡한 생산활동과 제품 Life Cycle의 감소에 따라 공정상태를 신속히 파악, 대응하여 빠른 시간 안에 수율을 향상시킬 수 있어야 합니다.
- ▶ 생산활동의 정형화 및 체계적 데이터관리가 필수적이며, 생산 활동 중에 발생하는 품질불량에 대한 문제점을 쉽고 신속하게 식별할 수 있어야 합니다.
- ▶ 문제점에 대한 개선책 기준을 제시할 수 있어야 하며, 나아가 개선여부에 관한 추정과 검정을 통해 향후 동일한 현상의 문제점을 줄여나갈 수 있어야 합니다.
- ▶ 생산성 및 납기에 있어 가장 중요한 요소인 가동률을 정확히 파악, 고객의 요구에 적극적으로 대응할 수 있어야 합니다.

TESTplus는 YMS의 주요 기반으로서 반도체 Test Floor의 최적화 및 분석에 필요한 모든 솔루션을 제공합니다.

# TEST Plus

Yield Enhancement & Management System



- ▶ Test Floor로 부터 발생하는 Data를 표준화, 체계적으로 관리.
- ▶ Test 결과에 대한 실시간 분석 및 Reporting으로 이상 수율에 대한 즉각적인 조치 가능.
- ▶ 생산성 향상 및 Test 공정에서의 이상 수율에 대한 개선방안 제시.
- ▶ 수율 향상에 필요한 분석 작업 및 장비의 Utilization을 정확히 파악.
- ▶ Data 분석 절차 간소화 및 양질의 Reporting 제공으로 조기 Process 안정화 및 Yield 예측 가능.
- ▶ 다른 Data들과 연계하여 Data 및 Yield분석이 가능하며 Yield Modeling의 기반 제공.

보다 심층적이고 신속하며, 효율적으로 수행할 수 있는 정보분석환경 제공.

수율 향상 및 관리 시스템(YMS)은 종합 반도체 생산회사(IDM), Foundry FAB, Assembly / Package Test(Final Test), FABless(Design House) 등 반도체 산업 전부분에 적용될 수 있는 최적의 종합 수율 향상 및 관리/분석 시스템입니다.

\* YMS : Yield Enhancement & Management System

## TESTplus의 특징점

### 통합성 :

- Module 통합: Module 상호간의 기능 통합화 및 개별화 가능.
- Module 확장 : Module 확장에 따른 Customization 가능.
- Additional Function : 새로운 기능의 추가 및 통합 가능.
- 표준 Interface : Tester, Handler, Prober별 특성에 무관하게
- Test결과에 대한 표준 개발 및 관리방법 지원.

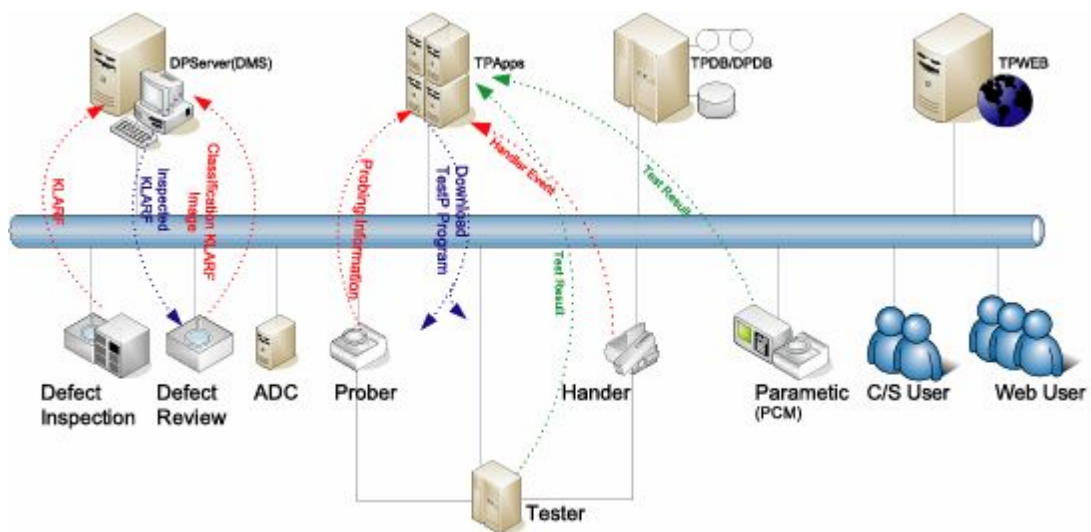
### 유연성

- Easy Customization : 기존 기능의 손쉬운 변경 가능.
- Easy Upgrade : 손쉬운(시간, 비용) 기능 Upgrade 가능.
- Easy Integration : 타 시스템들(MES, DMS, DW)과의 Data 연계 분석 가능.

### 가용성

- Real Size Wafer Map Drawing : Defect, Fail Bit Memory와의 Visual 연계분석 가능.
- XML Based Data Flow : Platform의 한계를 넘어선 Reporting의 확장 및 다양화.
- Fast Activate Function : Wafer Map Drawing & Zoom In/Out시 GPU 가속기능.

## TESTplus Architecture

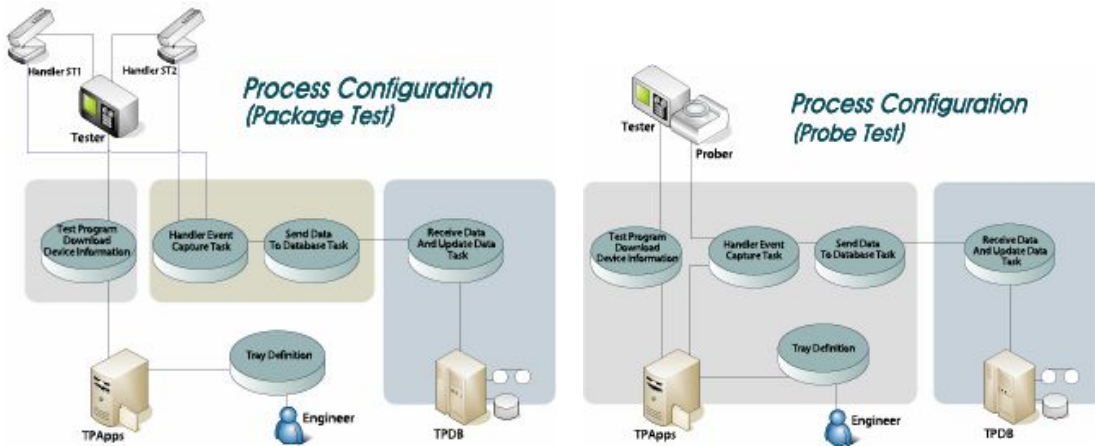


## TESTplus의 기술기반의 특징

- ▶ Real Size Wafer Map은 1/1000 $\mu$ m의 고정밀 Drawing으로 실물과의 오차를 현저히 줄여줌으로 DMS Data인 Defect Map과 FBM Data에서 정밀하게 Matching이 되는 것을 볼 수 있습니다.
- ▶ DB Server의 Data를 Web과 XML로 Service하여 고객에게 용이한 정보 제공을 가능하게 합니다.
- ▶ Graphic 처리(Wafer Mapping)에서 GPU 가속기능을 사용하여 Wafer Map 분석 시 확대 및 축소에 대한 병목을 해결 하였습니다.
- ▶ Human-less Event Capture는 RS232로 Event를 발생시키는 장비들을 하나의 IP대역으로 묶어 TCP로 변환하여 보내고 이를 Remote로 Capture함으로서 투자비 및 유용성에서 기존의 방법과 차별화를 갖습니다

## TESTplus의 구성요소

Manager	Data Loader	Probe test Analyzer	Package Test Analyzer	Parametric Analyzer	WEB Reporter
Menu Management	Common File Formatter	Wafer Map Analysis	Bin Data Analysis	Parametric SPC	Summarized Report
Security Management	Human-less Event Capture	Multiple / Cumulated Map	Dut/Tray Data Analysis	Data Analysis	Customer Report
Device Management	XML Generator	Compare Map	Test Efficiency	Chart Analysis	Yield Trend
User Logging	File Transfer	Site Map Analysis	Test Utilization	Outlier Control	Periodic Report
STD Information Definition	DB Loader	Bin Summary	Monitoring (Test OEE)	Short Device Analysis	Statistical Analysis
Test Program Management	Test Driver	Zone Based Analysis	Jam Rate	Correlation Analysis	
	Lot Control	Yield Trend	LIS Data Analysis	Parametric Wafer Map	
		Statistical Yield Analysis	Burn In Data Analysis		
		Probe Card Management	Fail Log Analysis		
		Tester OEE			
		Commonality Study			
		FTA Report			



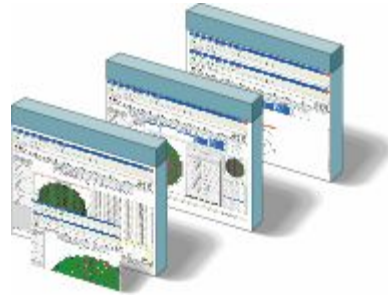
## TESTplus 핵심 분석기능

Wafer Map Analysis / FTA(Fail To Attempt Ratio) / Easy Mapping

Real Size Wafer Map을 도시하여 Defect

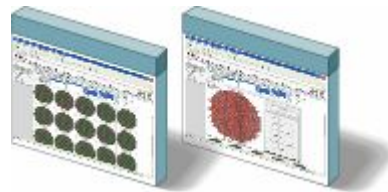
Data 및 FBM Overlay 수행시  
정밀도를 높였으며 Zoom In/Out이 자유로  
움.

Repairable Wafer Map을 하나의 Wafer  
Map에서 볼 수 있게 해주며,  
간단한 Click 만으로 Bin Summary 상태에  
서 Wafer Map Analysis가능.



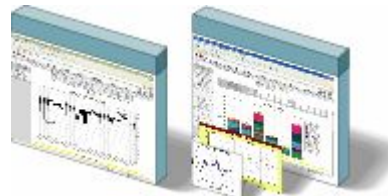
### Multi Wafer Map Drawing

여러 장의 Wafer를 Multi로 또는  
Cumulated 하여 보여줌으로써 불량  
유형 및 Pattern을 한눈에 파악 / 비교.  
특정 Wafer가 전체 Lot 또는 Wafer의 묶  
음에 어떠한 영향을 끼치고 있는  
지에 대하여 Cumulated Map을 통한 분석  
가능.



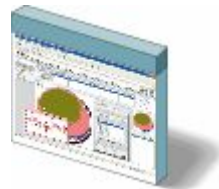
### Various Chart

다양한 분석 Chart를 제공.  
Chart에서 Drilldown이 가능하며, Bin  
Distribution Chart에서는 Bin  
Summary와 같은 Easy Mapping 기능 제  
공.



### Parametric Wafer Map

Probe Test의 Analog Result나 혹은  
Logic Device의 Parametric Value에  
대한 형상을 Wafer Map으로  
보여줌으로써, 불량 영역 소자들의  
특성을 Graphical하게 분석.



Tester OEE

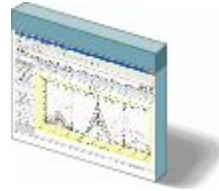
Test장비, Probe 및 Handler에

대한 가동률을 분석.  
생산성 향상 모색 일별, 월별,  
장비별 Report 및 Chart 등 제공.



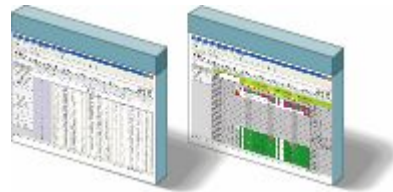
### Package Test

Tester나 Handler로부터 직접 Data를 수집,  
Package Test Result에 대한  
Yield Trend 분석 및  
Monitoring 가능.



### Dut Yield Report Tray Yield Report

Dut별로 Yield를 Monitoring 함으로서  
Dut의 특성에 대한  
차이를 Sheet에서  
확인 가능.



## TESTplus 도입효과

- ▶ 신규 Device의 수율 조기 안정화에 따른 수익 극대화
- ▶ 수율 이슈 및 분석시간 감소에 따른 수율 손실비용 절감
- ▶ Data 수집 단계부터 분석까지의 일관시스템 구축
- ▶ 정형화되고 반복적인 수작업의 감소
- ▶ 수율 및 Tester Utilization의 정보 공유
- ▶ Handler, Prober, Tester의 가동률 분석 및 Monitoring
- ▶ 고객에게 제품이 전달되기 전에 품질예방 가능
- ▶ 고객에 대한 신속한 정보제공으로 고객 만족도 증가
- ▶ 변화에 대한 민첩한 대응력 및 유연성
- ▶ 정확하고 안정성 있는 정보 제공
- ▶ 수율 향상에 따른 ROI 증가
- ▶ Yield Modeling 가능



[www.miracom.co.kr](http://www.miracom.co.kr)